

PAT-NO: JP359088863A

DOCUMENT-IDENTIFIER: JP 59088863 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: May 22, 1984

INVENTOR-INFORMATION:

NAME

SHIRAGASAWA, TSUYOSHI

KONDO, SHUJI

INT-CL (IPC): H01L023/48, H01L025/00

US-CL-CURRENT: 257/686, 257/723 , 257/E25.011

ABSTRACT:

PURPOSE: To contrive to make composite-multifunctional and speed up by a method wherein a desired electrode is directly connected by opposing the main surface of another LSI substrate to one LSI substrate, which are fixed to each other.

CONSTITUTION: Functional elements are integrated on the main surface of the substrate 1 and covered with a protection film 2, a part of the film 2 is removed, and a bump electrode 3 is laid. Functional elements are integrated also on the main surface of the substrate 4, a protection film 5 and an electrode 6 are formed. The main surface of the substrate 4 is placed on the main surface of the substrate 1 in opposition thereto, and the solder plate electrodes 6 and 3 are heated and connected. If necessary, metallic lead wires 7 are connected simultaneously at the time of mutual connection of the electrodes. Epoxy resin 8 is applied on the side surface of the substrates and in gaps and solidified, resulting in adhesion. This constitution enables to make multifunctional to a high density by superposing LSI's without increasing the area of the substrate.

COPYRIGHT: (C)1984,JPO&Japio

⑫ 公開特許公報 (A)

昭59—88863

⑤ Int. Cl.³
H 01 L 23/48
25/00

識別記号

庁内整理番号
6819—5F
7638—5F

⑬ 公開 昭和59年(1984)5月22日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ 半導体装置

⑮ 特 願 昭57—199206

⑯ 出 願 昭57(1982)11月12日

⑰ 発 明 者 白ヶ澤強

門真市大字門真1006番地松下電
器産業株式会社内

⑱ 発 明 者 近藤修司

門真市大字門真1006番地松下電
器産業株式会社内

⑲ 出 願 人 松下電器産業株式会社

門真市大字門真1006番地

⑳ 代 理 人 弁理士 中尾敏男 外 1 名

明 細 書

1、発明の名称

半導体装置

2、特許請求の範囲

機能素子と電極部を有する第1の半導体基板の
主面に、機能素子を集積化し電極部を有する他の
少くとも1個の第2の半導体基板の主面を対向
載置せしめ、前記第1と第2の基板の所望電極相
互を接続し、基板相互を固着せしめてなる半導体
装置。

3、発明の詳細な説明

産業上の利用分野

本発明は、半導体装置に関するものであり、特
に高密度多機能化半導体装置を提供するものであ
る。

従来例の構成とその問題点

システム機器の小形化、高速化の要求に伴い、
半導体集積回路（以降LSIと称する）高密度化、
多機能化をする事が望まれている。この為、LSI
パターンの微細化がはかられているが、微細化に

伴う種々の問題ある為、実用上は微細化には限界
がある。又、多機能化へのアプローチとしては高
集積化による大規模LSI化が行われている。一
方、多機能化する為に半導体プロセスの複合化も
一部に試みられているが実用化には至っていない。
即ち異種の半導体デバイスを同一基板上に形成す
る事は現在の技術では困難とされる。

この為、半導体装置を多機能化、高積化する為
に同種又は異種の半導体基板を高密度実装する技
術が提案され、一部に実施されている。

従来の一例を第1図をもとに説明する。

第1図に於いて、セラミック基板1の主面上に
は、配線パターン2及び外部電極3が設けてあり、
更にLSIチップ4の電極部と、同基板上配線パ
ターン2の一部とを接続する為の内部電極（図示
せず）が配置されている。LSIチップ4の電極
は、凸状をなす、いわゆる bumps 形式で形成され、
該 bumps と、前記内部電極とは直接に接続される
“フリップチップ”により接続される。

本構成によれば、同一基板上に複数の同種、又

は異種のLSIチップを載置し更にLSIチップ相互を配線できる為、従来の構成に比較するとLSIを高密度に実装する事が可能となっている。しかしながら、本構成には以下に示す問題がある。

即ち、同一基板上に複数のLSIチップを二次元的に配置する為、実装するLSIの個数が増えるに従い、基板面積が増加する。

又チップ相互の電極は、配線を用いて接続されており、配線容量、配線抵抗が存在し高速度動作の為の障害となっている。

発明の目的

本発明は以上の様な問題に鑑みなされたものであり、LSI相互を高密度に接続し、複合多機能半導体装置を実現し更に高速化を実現可能とする半導体装置を提供するものである。

発明の構成

本発明は高密度、高速化を実現する為に1個のLSI基板1の主面上に、1個又は複数のLSI基板2の主面を対向せしめ、LSI基板1の電極部とLSI基板2の所望電極部を直接接続し、

部にハンダメッキを施しておき、接続時に加熱する事により容易に実現できる。又、必要があれば、当該半導体装置の外にリードを取り出す事も可能である。本実施例に於いては、電極相互の接続時に金属リード線7を同時に接続する事により実現している。

以上の様に電極相互を接続したのち、前記半導体基板1と2は相互に固着される。本実施例に於いては、相互の基板側面及び基板間のすき間に、エポキシ樹脂8を塗布し、固形化接着している。本方法に依れば同種又は異種のLSIを積み重ねる為に基板面積を増やすことなく高密度に多機能化を実現できる。

本実施例に於いては、当該半導体装置外部との接続の為にリード線を新たに設けたが、本発明は新たにリード線を設けなくても、外部との接続を行うことができる。

第3図に於いて半導体基板1に対向載置する半導体基板4は、少なくとも半導体基板1の電極のうち外部接続電極3の上には配置しない様にする。

LSI基板1、2を相互に固着して得られる半導体装置である。

実施例の説明

本発明による半導体装置の実施例を第2図、第3図及び第4図を用いて説明する。第2図～第4図ともに本発明半導体装置の断面図を示すものである。

先ず第1図に於いて半導体基板1の主面にはトランジスタ、抵抗等の機能素子が集積化形成され、更に同基板主面上には表面保護膜2が形成されている。又同基板に対する電気信号の入出力端子を構成する電極3は、前記表面保護膜2の一部を除去したのち、凸状に、いわゆる bumps 形式で構成される。次に半導体基板4の主面にも機能素子が集積され、その主面上には表面保護膜5及び電極6が設けてある。ここで半導体基板4の主面は、前記半導体基板1の主面上に対向して載置され、更に、半導体基板4の電極6は半導体基板1の電極3と電気的に接続されている。ここで電極相互の接続はハンダを用いており、電極形成時に電極

このあと所望接続電極3及び6を接続し、基板相互をエポキシ樹脂8により接着固定せしめる。以上の方法によれば外部接続電極3は露出しており、外部との接続が可能となる。本実施例に於いてはワイヤボンドによりA線9を介し外部との接続を行っている。

以上の実施例に於いては1個の半導体基板に対して1個の半導体基板を接続したが、1個の半導体基板に対して複数個の半導体基板を接続する事も可能である。

第4図に於いて半導体基板1の主面に対向して半導体基板4、4'、4''が載置され、所望電極相互が電気的に接続され、基板相互も接着材（本実施例に於いてはエポキシ樹脂）により固着されている。本例によれば種々の機能LSI又は種々の種類を同一半導体基板上に載置でき複合機能を有する半導体装置を高密度に実現できる。例えば、cpu用LSIと入出力用LSI、更にメモリLSIやセンサーデバイス等を同一基板上に形成する事も可能である。

発明の効果

本発明の半導体装置は、半導体基板相互を縦方向に接続する構造をなし、基板間電極相互を直接に接続する為、多機能半導体装置を高密度に実現でき、更に配線抵抗、配線容量を大幅に軽減できる為、高速度動作を可能ならしめるものである。

又、本発明によれば、半導体基板主面上の能動領域が半導体装置表面又は裏面から深くなる為、 α 線によるソフトエラーも大幅に減少せしめることができる。

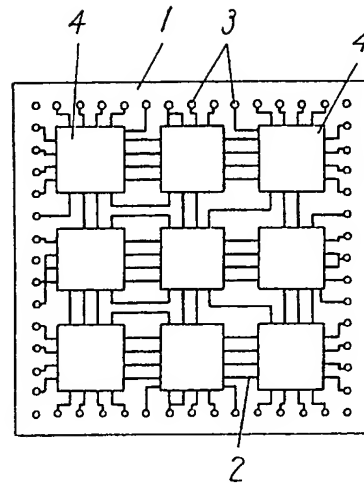
4. 図面の簡単な説明

第1図は従来半導体装置の構成を示す図、第2図、第3図、第4図はそれぞれ本発明の実施例における半導体装置の断面図である。

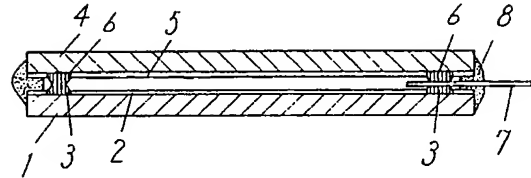
1, 4……半導体基板、3, 6……電極、7……リード線、8……エポキシ樹脂、9…… α 線。

代理人の氏名 井理士 中 尾 敏 男 ほか1名

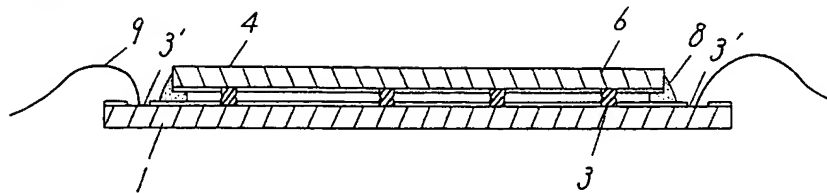
第 1 図



第 2 図



第 3 図



第 4 図

